

Docket No.: 60188-861

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
Satoshi TAMURA, et al. : Confirmation Number:
Serial No.: : Group Art Unit:
Filed: May 21, 2004 : Examiner:
For: METHOD FOR FABRICATING SEMICONDUCTOR DEVICES

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. JP 2003-144480, filed on May 22, 2003.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:gav
Facsimile: (202) 756-8087
Date: May 21, 2004

60188-861
Satoshi TAMURA, et al.
May 21, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 5 月 2 2 日
Date of Application:

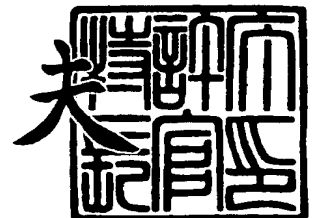
出 願 番 号 特 願 2 0 0 3 - 1 4 4 4 8 0
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 4 4 4 8 0]

出 願 人 松 下 電 器 産 業 株 式 有 限 公 司
Applicant(s):

2 0 0 4 年 3 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 1 5 7 6 2

【書類名】 特許願

【整理番号】 2925040111

【提出日】 平成15年 5月22日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 33/00

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 田村 聡之

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 上田 哲三

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100097445

 【弁理士】

 【氏名又は名称】 岩橋 文雄

【選任した代理人】

 【識別番号】 100103355

 【弁理士】

 【氏名又は名称】 坂口 智康

【選任した代理人】

 【識別番号】 100109667

 【弁理士】

 【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 半導体素子の製造方法

【特許請求の範囲】

【請求項 1】 母材基板上に半導体層を成膜する第 1 の工程と、前記半導体層の上に金属層を形成する第 2 の工程と、前記半導体層から前記母材基板を除去する第 3 の工程と、前記半導体層の素子分離部分を形成する第 4 の工程と、前記金属層を前記分離された母材基板側からエッチングする第 5 の工程とを有することを特徴とする半導体素子の製造方法。

【請求項 2】 前記金属層が A u、A g、C u のいずれかで構成されていることを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 3】 前記金属層がメッキにより形成されていることを特徴とする請求項 2 に記載の半導体素子の製造方法。

【請求項 4】 前記金属層が 1 0 μ m 以上の厚さであることを特徴とする請求項 2 または 3 に記載の半導体素子の製造方法。

【請求項 5】 前記第 3 の工程は前記母材基板側から前記半導体にレーザを照射することにより行うことを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 6】 前記第 3 の工程は研磨により行われることを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 7】 前記第 3 の工程の前に、前記第 4 の工程を行うことを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 8】 前記第 5 の工程より前に、前記金属層上に異種材料を接着する工程を含むことを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 9】 前記異種材料が接着力を有した高分子材料フィルムからなることを特徴とする請求項 8 に記載の半導体素子の製造方法。

【請求項 1 0】 前記高分子材料フィルムが伸縮性材料であることを特徴とする請求項 9 に記載の半導体素子の製造方法。

【請求項 1 1】 前記異種材料が半導体基板からなることを特徴とする請求項 8 に記載の半導体素子の製造方法。

【請求項 12】 前記半導体基板が劈開性を有していることを特徴とする請求項 11 に記載の半導体素子の製造方法。

【請求項 13】 前記半導体基板をヒートシンクとして使用することを特徴とする請求項 11 または 12 に記載の半導体素子の製造方法。

【請求項 14】 前記半導体基板が Si あるいは SiC であることを特徴とする請求項 13 に記載の半導体素子の製造方法。

【請求項 15】 前記第 5 の工程の後、前記半導体基板の素子分離部分のエッチングを行い、溝状構造を形成することを特徴とする請求項 11 に記載の半導体素子の製造方法。

【請求項 16】 前記半導体層が Ga と N を含むことを特徴とする請求項 1 ないし 15 のいずれか 1 つに記載の半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、青色域から紫外域で発光する窒化物半導体発光素子の製造方法に関する。

【0002】

【従来の技術】

現在、各種表示用や大型ディスプレイ、信号機等で III 族窒化物を用いた発光ダイオードが広く実用化されている。また、Ga-N 系 LED と蛍光体を組み合わせた白色 LED も商品化され、将来的に発光効率が改善されれば、現状照明の置き換えも期待されている。

【0003】

一般的に III 族窒化物半導体はサファイア基板上に形成させるのが主流である。しかし、サファイア基板は導電性がないため、p、n 電極を Ga-N 成長層の同一面に形成する必要がある。そのため直列抵抗が大きくなる、かつデバイスサイズが大きくなるといった課題が生じる。そこで、それらの課題に対してレーザーリフトオフ (Laser Lift-Off: 以下 LLO と記す) という技術が開発された。

【0004】

LLOとは、サファイア基板上にGaN層を成長後、サファイア基板側からレーザー照射を行い、GaN層のサファイア基板との界面近傍部分を熱分解させ、サファイア基板とGaN層とを分離する方法である。

【0005】

LLOを用いたIII族窒化物半導体素子の、従来の製造方法を図7に示す。この従来の製造方法については、特許文献1に示されている。サファイア基板101上にGaN層102を成膜する（図7（a）参照）。その後、GaN層102上に電極層103、その上に部分的に絶縁膜104を形成する（図7（b）参照）。続いて電極層104上に厚さ50 μ m程度のCuメッキ105を形成するが、絶縁体上にはCuはメッキされず、電極層103上に図7（c）に示すような形状でCuメッキ105が形成される。その後、Cuメッキ105上に保持金属106を形成する（図7（d）参照）。続いてLLOを行い、サファイア基板101の分離を行う。サファイア基板101を分離した後、GaN層102上に電極層107を形成し、続いて保持金属106を分離する（図7（e）参照）。なお、図7（d）と（e）では図の上下が入れ替わっている。保持金属106分離後、GaN層102にけがきを入れ、劈開することにより、チップ分離がなされる。その際、Cuメッキの接合部106は比較的接合強度が弱いため、GaNが劈開されると容易にCuメッキも分離される（図7（f））。

【0006】

また、別の従来の製造方法を図8に示す。この従来の製造方法については、特許文献2に示されている。サファイア基板101上にGaN層102を成膜する（図8（a）参照）。続いてGaN層102上に電極層104を設け、その上に厚さ10 μ m以上のAuメッキ105を形成する（図8（b）参照）。Auメッキ105形成後、LLO技術により、サファイア基板101とGaN層102とを分離する（図8（c）参照）。分離後、GaN層102上に電極層107を形成する（図8（d）参照）。続いて、Auメッキ105上にレジストパターンニング108を行い、チップ分離部のAuメッキ105を除去する（図8（e）参照）。この際、Auメッキ105はGaN層102と接していない面側からウェッ

トエッチングにより、除去している。その後、レジストマスク108を有機洗浄により除去し、GaN層102を劈開あるいはダイシングブレードを用いてチップ分離する(図8(f))。

【0007】

以上のような製造方法で、LLO技術を用いて窒化物半導体素子が作製されている。

【0008】

【特許文献1】

特開2001-274507号公報

【特許文献2】

特開2002-183919号公報

【0009】

【発明が解決しようとする課題】

しかし、従来技術として記載した製造方法には次のような課題がある。図7の製造方法に関してであるが、Cuメッキの接合強度が非常に弱いと、薄膜GaN層102の保持材としての機能が低下し、1次劈開あるいは2次劈開工程中に自然にGaN層102が割れてしまう場合がある。そのようにして自然に割れたチップはがたつきが多く、デバイスとして用いることは出来なくなり、歩留が低下する。逆にCuメッキの接合強度が強いとGaN層102自体が劈開により分離しても、Cuメッキが分離されない場合がある。この場合も歩留低下の原因となる。このように、図7の製造方法ではCuメッキの接合強度の厳密な制御が求められる。

【0010】

また、図8の製造方法では、図8(d)の工程において厚膜Auメッキ上にマスクを形成する。しかし、Auメッキが厚いと下地のパターンニングを確認することが難しく、マスク合わせが困難となり、歩留低下の原因となる。また、Auメッキを除去した段階で薄膜GaN層102が自然に分離する場合もあり、上述したように歩留低下の原因となる。このように、図8の製造方法でも高歩留を得るのが困難である。

【 0 0 1 1 】

【課題を解決するための手段】

上記課題を解決するために、本発明の半導体素子の製造方法は、母材基板上に半導体層を成膜する第 1 の工程と、前記半導体層の上に金属層を形成する第 2 の工程と、前記半導体層から前記母材基板を除去する第 3 の工程と、前記半導体層の素子分離部分を形成する第 4 の工程と、前記金属層を前記分離された母材基板側からエッチングする第 5 の工程とを有するものである。

【 0 0 1 2 】

この構成により、素子分離は金属層をエッチングすることにより行うので、[発明が解決しようとする課題] に記したような原因での歩留低下を防止することが出来る。また、金属層上ではなく半導体上にレジストパターンニングを行い、金属層を母材基板と半導体層が接着していた面側からエッチングを行うので、マスク合わせが非常に容易で、歩留向上に繋がる。

【 0 0 1 3 】

本発明の半導体素子の製造方法は、さらに金属層が A u、A g、C u のいずれかで構成されていることが好ましい。

【 0 0 1 4 】

本発明の半導体素子の製造方法は、さらに金属層がメッキにより形成されていることが好ましい。

【 0 0 1 5 】

本発明の半導体素子の製造方法は、さらに金属層が 1 0 μ m 以上の厚さを有していることが好ましい。

【 0 0 1 6 】

本発明の半導体素子の製造方法は、さらに第 3 の工程は前記母材基板側から前記化合物半導体層にレーザを照射することにより行うことが好ましい。

【 0 0 1 7 】

本発明の半導体素子の製造方法は、さらに第 3 の工程は研磨により行われることが好ましい。

【 0 0 1 8 】

本発明の半導体素子の製造方法は、さらに第3の工程の前に、第4の工程を行うことが好ましい。この好ましい構成によれば、LLO時のウェハ割れを防止し、歩留を向上させることができる。

【0019】

本発明の半導体素子の製造方法は、さらに第5の工程より前に、Auメッキ上に異種材料を接着する工程を含むことが好ましい。

【0020】

本発明の半導体素子の製造方法は、さらに異種材料が接着力を有した高分子材料フィルムからなることが好ましい。

【0021】

本発明の半導体素子の製造方法は、さらに高分子材料フィルムが伸縮性材料であることが好ましい。この好ましい構成によれば、異種材料をエキスパンドシートとして用いる事が出来、製造工程を減少させることが出来る。

【0022】

本発明の半導体素子の製造方法は、さらに異種材料が半導体基板からなることが好ましい。この好ましい構成によれば、LLO後の薄膜GaN層の保持能力を高め、かつ、歩留良く、チップ分離することが出来る。

【0023】

本発明の半導体素子の製造方法は、さらに半導体基板が劈開性を有していることが好ましい。この好ましい構成によれば、素子分離を容易にし、歩留を向上させることができる。

【0024】

本発明の半導体素子の製造方法では、前記半導体基板が半導体素子実装の際にヒートシンクとして機能することが好ましい。この好ましい構成によれば、実装工程を減少させることが出来る。

【0025】

本発明の半導体素子の製造方法は、さらに半導体基板がSiあるいはSiCであることが好ましい。

【0026】

本発明の半導体素子の製造方法は、さらに第5の工程の後、半導体基板の素子分離部分のエッチングを行い、溝状構造を形成することが好ましい。この好ましい構成によれば、半導体基板の劈開をより容易にすることが出来、歩留を向上させることが出来る。

【0027】

本発明の半導体素子の製造方法は、さらに化合物半導体がGaとNを含むことが好ましい。

【0028】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を用いて以下に詳しく説明する。

【0029】

(実施の形態1)

本発明の実施の形態1における窒化物半導体から構成される青色面発光素子の製造方法について、図1を参照しながら説明する。

【0030】

GaN層の成長装置としてはMOVPE（有機金属気相成長）装置を用いる。Ga原料としてはトリメチルガリウム、N原料としてはNH₃を用いる。また、ドナー不純物であるSiの原料にはSiH₄、キャリアガスにはH₂を用いる。

【0031】

まず、2インチ（0001）サファイア基板1上に、低温緩衝層を形成した後、n型GaN層2を厚さ4 μ mとして行う。成長温度は1030℃である。次に、キャリアガスをN₂に切り替え、成長温度を800℃に降温し、InGaN活性層3を20nmの膜厚で成長させる。本実施の形態で形成したInGaN活性層3からは波長470nmの青色発光が生じる。Inの原料としてはトリメチルインジウムを用いる。本実施の形態では活性層をSQW構造としたが、MQW構造でも良い。最後に再び1020℃まで昇温し、p型GaN層4を0.8 μ m成長する。アクセプタ不純物であるMgの原料にはシクロペンタジエニルマグネシウムを用いる（図1（a）参照）。

【0032】

p 型 GaN 層 4 を成長後、アニーリング装置で窒素雰囲気中、750℃で20分間アニーリングを行い、最上層の p 型 GaN 層 4 をさらに低抵抗化する。

・【0033】

アニール後、p 型 GaN 層 4 上に、p 型コンタクト電極 5 として EB 蒸着を用いて Ni/Au を蒸着し（図 1（b）参照）、その後、酸素雰囲気中 500℃でシンタを行う。

【0034】

p 型コンタクト電極 5 を形成後、試料表面全面に Au メッキ下地 6 として Ti/Au を EB 蒸着により形成し、その後、30 μm 厚の Au メッキ 7 を形成する（図 1（c）参照）。この後の工程で厚さ 5 μm 程度の GaN 成長層からサファイア基板を除去するため、Au メッキは GaN 成長層の保持材として作用する。Au メッキ厚は厚い方が保持能力は高まるが、Au メッキが厚くなり過ぎるとデバイスの放熱特性が悪くなる。その両者の観点から Au メッキ厚は 10～150 μm 程度とするのが好ましい。本実施の形態では上記したように Au メッキ厚を 30 μm とした。また、厚膜金属層の材料としては、熱伝導率の高いものが望ましく、Au のほかに Ag や Cu が候補として挙げられる。また、本実施の形態ではメッキで金属層を形成したが、メッキ以外の方法でも良い。

【0035】

Au メッキ 7 形成後、裏面のサファイア基板 1 を除去する（図 1（d）参照）。サファイア基板を除去する方法としては研磨法や LLO 法がある。しかし、サファイア基板は非常に強固であるため、研磨法では長時間要し、かつ制御性が困難という課題を有している。そこで、本実施の形態では LLO 法を用いた。サファイア基板 1 の裏面側から YAG レーザの照射を行い、GaN 成長層のサファイア基板 1 との界面近傍部を熱により分解させ、GaN 成長層とサファイア基板 1 との分離を行う。なお、レーザーリフトオフ後には、界面近傍に分解された Ga 金属が付着するので、塩酸で除去を行う。

【0036】

サファイア基板 1 を除去後、剥き出しになった n 型 GaN 層 2 上にマスクを形成し、チップ分離部の窒化物半導体層をドライエッチングで完全に除去する。そ

の後、マスク除去を行う（図1（e）参照）。なお、図1（d）と（e）とでは図の上下が入れ替わっている。ドライエッチングする際のエッチングガスとしてはC I系ガスを用いる。また、マスクとしてはドライエッチングに対してエッチングされにくい材料が望ましく、S i O₂等の誘電体膜やN i等の金属膜が良い。また、レジストを用いる場合は、膜厚の厚いレジストを用いるのが望ましい。また、本実施の形態ではチップ分離領域の幅を15 μmとした。

【0037】

ドライエッチング後、パッシベーション膜として全面にS i O₂膜8を形成する。S i O₂膜8の形成法としてはC V D法やスパッタ法がある。

【0038】

S i O₂膜8形成後、デバイスの光取り出し部のパッシベーション膜を除去する。パッシベーション膜除去後、パッシベーション膜を除去した一部にn型電極9としてT i / A uを形成する（図1（f）参照）。n型電極9形成後、N₂雰囲気中500℃でシンタを行う。n型電極9としてはI T Oやβ - G a₂O₃といった透明電極を用いても良い。

【0039】

n型電極9シンタ後、レジストマスク10を形成し、チップ分離部の一部のみに開口する。本実施の形態ではチップ分離部の幅15 μmに対して中心領域の5 μmだけレジストが開口している領域がある。その後、シート11に貼りつける（図1（g）参照）。これは、次の工程で分離されたチップがばらばらになるのを防止するためである。シート11は高分子材料フィルムであり、接着性を有している。また、シート11に伸縮性があるものを用いることにより、デバイス完了後、エキスパンドシートとして使用することも可能となり、製造工程を減少させることができる。また、シート11はL L O直前、あるいは直後に取り付けることも可能で、そのようにすることにより、L L O時あるいはn型電極9形成プロセス時にG a N成長層の保持能力を向上させることが出来る。

【0040】

レジストマスク10形成後、B H FでS i O₂膜8とA uメッキ下地6のT iの除去を行う。続いて、ヨードでA uメッキ7のエッチングを行い、チップ分離

を行う。その後、レジストマスク10を除去することより、青色LEDを作製することができる(図1(h)参照)。

【0041】

本実施の形態では、保持材として完全に繋がったAuメッキを用いていて、かつ素子分離は劈開ではなく、Auメッキをウェットエッチングで除去することにより行っている。そのため、劈開工程で薄膜窒化物半導体層が自然に割れてしまう、あるいはメッキ層が繋がったままの状態になり素子分離されないといった課題が解決され、歩留を向上させることが出来る。また、Auメッキのエッチングの際に、窒化物半導体層上にパターニングを行い、サファイア基板と窒化物半導体層とが接していた面側からAuメッキのエッチングを行っている。そのため、従来技術でのAuメッキ上にレジストパターニングを形成する場合よりもマスク合わせが容易になり、歩留向上に繋がる。

【0042】

以上のような製造方法により、歩留良く青色LEDを作製することが可能となる。また、作製されたデバイスは $30\mu\text{m}$ という薄膜Auメッキを介して放熱されるので、非常に放熱性も優れている。

【0043】

本実施の形態ではサファイア上に成長されたGaNに対して記載したが、基板、成長層ともその他の材料から構成される半導体にも適用できる。

【0044】

(実施の形態2)

本発明の実施の形態2における窒化物半導体から構成される青色面発光素子の製造方法について、図2を参照しながら説明する。

【0045】

サファイア基板1上にp型GaN層4を成膜し、その後、アニールを行う工程までは実施の形態1と同様である(図2(a)参照)。

【0046】

アニール後、デバイス分離部の窒化物半導体層をエッチングにより除去する(図2(b)参照)。エッチング方法としては、RIE、ECRなどのドライエッ

チングが適している。また、エッチングガスとしては塩素系のガスを用いるのが望ましい。

【0047】

ドライエッチング後、デバイス全面にパッシベーション膜として SiO_2 膜8を形成する。 SiO_2 膜形成法としてはCVD法やスパッタ法が適している。

【0048】

SiO_2 膜8形成後、部分的に SiO_2 膜8の除去を行い、除去した部分にp型電極5としてEB蒸着装置を用いて Ni/Au を形成する(図2(c)参照)。p型電極5形成後、酸素雰囲気中 500°C でシタを行う。

【0049】

p型電極5をシタ後、試料表面全面に Au メッキ下地6として Ti/Au をEB蒸着により形成し、その後、 $30\mu\text{m}$ 厚の Au メッキ7を形成する(図2(d)参照)。この後の工程で薄膜窒化物半導体層からサファイア基板を除去するため、 Au メッキは薄膜窒化物半導体層の保持材として作用する。

【0050】

Au メッキ7形成後、サファイア基板1を除去する(図2(e)参照)。サファイア基板の除去法としてはLLO法を用いた。なお、LLOプロセス後には、界面に分解されたGa金属が付着するので、塩酸で除去を行う。本実施の形態ではLLO前にドライエッチングを行うことにより、LLO時にはGa N 層が一素子分の大きさに分割されている。実施の形態1のように2インチという大面積のGa N 層に対してLLOを行うと、Ga N 層がLLO中に割れやすい傾向がある。そのため、レーザ照射条件のマージンが非常に小さくなる。それに対して、本実施の形態では、一素子分のGa N 層に対してLLOを行うので、レーザ照射条件のマージンを大きくとることが可能となり、歩留向上が可能となる。

【0051】

サファイア基板1を分離後、露出したn型Ga N 層2上に、n型電極9として Ti/Au をEB蒸着により形成する(図2(f)参照)。なお、図2(e)と(f)とでは図の上下が入れ替わっている。n型電極9形成後、窒素雰囲気中 500°C でシタを行う。

【0052】

シンタ後、n型電極9をレジストマスク10でカバーし（図2（g）参照）、Auメッキ7側に接着性を有するシート11を貼りつける。その後、デバイス分離部のSiO₂膜8およびAuメッキ下地6のTiをBHFで除去する。Ti除去後、ヨードを用いて、Auメッキ7のエッチングを行い、素子分離を行う。その後、レジストマスク10を有機洗浄で除去することにより、青色LEDを作製することが出来る。

【0053】

本実施の形態では、実施の形態1と同様、保持材として完全に繋がったAuメッキを用いていて、素子分離は劈開ではなく、Auメッキをウェットエッチングすることにより行っている。そのため、劈開工程で薄膜窒化物半導体層が自然に割れてしまう、あるいはメッキ層が繋がったままの状態になり素子分離されないといった課題が解決され、歩留を向上させることが出来る。また、Auメッキのエッチングの際に、窒化物半導体層上にパターニングを行い、サファイア基板と窒化物半導体層とが接していた面側からAuメッキのエッチングを行っている。そのため、マスク合わせも容易で歩留向上に繋がる。更に、LLO時に窒化物半導体層自体はドライエッチングにより1デバイス分のサイズに分割されているので、レーザーリフトオフ時に生じるウェハ割れも防止でき、歩留向上が可能となる。

【0054】

以上のように、素子分離部をドライエッチングにより除去する工程、LLO技術によりサファイア基板を除去する工程、Auメッキを窒化物半導体層と接している面からエッチングにより除去する工程を順に行うことにより、歩留良く青色LEDを作製することが可能となる。また、実施の形態1と同様に作製されたデバイスは30 μ mという薄膜Auメッキを介して放熱されるので、非常に放熱性も優れている。

【0055】

（実施の形態3）

本発明の実施の形態3における窒化物半導体から構成される青色面発光素子の

製造方法について、図3を参照しながら説明する。

【0056】

本実施の形態における青色面発光レーザの製造方法を図3に示す。Ga_{0.93}N_{0.07}層の成長装置としてはMOVPE装置を用いる。Ga原料としてはトリメチルガリウム、Al原料としてはトリメチルアルミニウム、N原料としてはNH₃を用いる。また、ドナー不純物であるSiの原料にはSiH₄、キャリアガスにはH₂を用いる。アクセプタ不純物であるMgの原料にはシクロペンタジエニルマグネシウムを用いる。

【0057】

まず、2インチ(0001)サファイア基板1上に、低温緩衝層を形成した後、n-Ga_{0.93}N_{0.07}層、n-Al_{0.15}Ga_{0.85}Nクラッド層、n-Al_{0.07}Ga_{0.93}Nガイド層、InGa_{0.93}NのMQW活性層3、p-Al_{0.07}Ga_{0.93}Nガイド層、p-Al_{0.15}Ga_{0.85}Nクラッド層、p-Ga_{0.93}Nコンタクト層を順に形成する。なお、図中では低温緩衝層は省略し、n-Ga_{0.93}N_{0.07}層、n-Al_{0.15}Ga_{0.85}Nクラッド層、n-Al_{0.07}Ga_{0.93}Nガイド層をまとめてn型層2a、p-Al_{0.07}Ga_{0.93}Nガイド層、p-Al_{0.15}Ga_{0.85}Nクラッド層、p-Ga_{0.93}Nコンタクト層をまとめてp型層4aとしている。本実施の形態で形成したInGa_{0.93}N活性層3からは波長約405nmの青色発光が生じる(図3(a)参照)。

【0058】

成膜後、チップ分離部分の窒化物半導体層をエッチングにより、完全に除去する(図3(b)参照)。エッチング方法としては、RIE、ECRなどのドライエッチングが適している。また、エッチングガスとしては塩素系のガスを用いるのが望ましい。

【0059】

ドライエッチング後、全面にSiO₂膜8を形成し、SiO₂膜8を部分的にHFで除去する(図3(c)参照)。SiO₂膜8の除去部分のうち、光導波路部以外の部分にp型電極5としてNi/Au電極を形成する。p型電極5形成後、酸素雰囲気中500℃でシンタを行う。

【0060】

シタ後、 SiO_2 膜 8 除去部の光導波路部に誘電体 DBR ミラー 12 を形成する。誘電体 DBR ミラー 12 は波長 405 nm の光に対して反射率が 99.5 % 以上になるように構成する (図 3 (d) 参照)。

【0061】

誘電体 DBR ミラー 12 形成後、EB 蒸着装置を用いて Au メッキ下地 6 として Ti / Au、Au メッキ下地 6 上に Au メッキ 7 を順に形成する。Au メッキ厚は実施の形態 1、2 と同じく $30\text{ }\mu\text{m}$ とした (図 3 (e) 参照)。

【0062】

Au メッキ 7 形成後、裏面のサファイア基板 1 を除去する (図 3 (f) 参照)。サファイア基板の除去法としては LLO 法を用いた。なお、LLO 後には、界面近傍に分解された Ga 金属が付着するので、塩酸で除去を行う。

【0063】

サファイア基板 1 除去後、光導波路以外の部分に n 型電極 9 として Ti / Au を EB 蒸着により形成し、窒素雰囲気中 500°C でシタを行う。

【0064】

シタ後、光導波路部に誘電体 DBR ミラー 13 を形成する (図 3 (g) 参照)。なお、図 3 の (f) と (g) とでは、図面の上下が入れ替わっている。誘電体 DBR ミラーとしては波長 405 nm に対して反射率が 99 % 以上となるようにする。また、本実施の形態では n 型層側の DBR ミラーとして誘電体材料を用いて形成したが、組成の異なる Al Ga N の屈折率差を利用して成長層で DBR ミラーを形成しても良い。

【0065】

誘電体 DBR ミラー 13 形成後に、チップ分離部の一部だけ開口したようなレジストマスク 10 を形成する。続いて、Au メッキ 7 側に接着性を有するシート 11 を貼りつける (図 3 (h) 参照)。

【0066】

その後、デバイス分離部の SiO_2 膜 8 および Au メッキ下地 6 の Ti を BH_3F で除去する。Ti 除去後、ヨードを用いて、Au メッキ 7 のエッチングを行い、チップ分離を行う。続いて、レジストマスク 10 を有機洗浄で除去することに

より、青色面発光レーザを作製することが出来る（図3（i）参照）。

【0067】

以上のような製造方法で、実施の形態1および2と同様、歩留良く青色面発光レーザを作製することが可能となる。

【0068】

（実施の形態4）

本発明の実施の形態4における窒化物半導体から構成される電界効果トランジスタの製造方法について、図4を参照しながら説明する。

【0069】

まず、サファイア基板1上にMOCVD法により、n型GaN層14、アンドープGaN層15を形成する（図4（a）参照）。一般的な成長層膜厚は2～3 μm 程度である。

【0070】

その後、素子分離部のGaN層をドライエッチングにより完全に除去する（図4（b）参照）。ドライエッチングは例えば塩素系のガスを用いて行う。

【0071】

ドライエッチング後、Ti/Auメッキ下地6およびAuメッキ7を形成する（図4（c）参照）。Auメッキ厚は30 μm とする。

【0072】

続いて、LLO技術を用いてサファイア基板1の除去を行う。LLO後に付着したGa金属は塩酸により除去する（図4（d）参照）。

【0073】

サファイア基板1除去後、剥き出しになったn型GaN層14上に、例えばTi/Alによるソース電極16、ドレイン電極17、例えばPt/Au電極によるゲート電極18をリフトオフ法により形成する（図4（e）参照）。ここで、ゲート長は高周波特性を向上させるためには短ゲート長化が必要であり、0.5 μm 以下とすることが望ましい。

【0074】

その後、ソース電極16、ドレイン電極17、ゲート電極18をカバーするよ

うにレジストマスク10を形成し、Auメッキ7上に接着性を有するシート11を貼りつける(図4(f)参照)。

【0075】

続いて、素子分離部のAuメッキ下地6のTiをHFで、Auメッキ7をヨードでウェットエッチングすることにより、素子分離を行う。その後、レジストマスク10を有機洗浄することにより、デバイスが完成する(図4(g)参照)。作製されたトランジスタは薄膜Auメッキを介して放熱されるので、非常に放熱特性の優れたデバイスとなる。

【0076】

以上のように、素子分離部の窒化物半導体層をドライエッチングにより除去する工程と、Auメッキを形成する工程と、LLOによるサファイア基板を除去する工程と、Auメッキをサファイア基板と窒化物半導体層とが接していた面側からウェットエッチングにより除去する工程により、歩留良く、放熱性に優れたトランジスタを作製することが可能となる。

【0077】

(実施の形態5)

本発明の実施の形態5における窒化物半導体から構成される青色面発光素子の製造方法について、図5を参照しながら説明する。

【0078】

p型コンタクト電極5を形成し、シンタを行う工程までは実施の形態2と同様である(図5(a)参照)。

【0079】

続いて、Auメッキ下地6としてTi/Auを形成し、その上にAuメッキ7を形成する。続いてAuメッキ7上にSi基板19を貼り合わせる(図5(b)参照)。Si基板19はLLO後の薄膜窒化物半導体層の保持力を高めるために貼り合わせる。その際、窒化物半導体層にAuメッキを介さず直接Si基板を貼り合わせるという方法も考えられるが、この場合、歪がGaN層に加わり、デバイス特性が劣化する懸念がある。そこで、窒化物半導体層上にAuメッキを形成して、その上にSi基板を貼り合わせた。この際のAuメッキは貼り合わせの際

の緩衝材として機能すれば良いので薄膜でよく、本実施の形態では $10\mu\text{m}$ とした。また、貼りつける基板としては劈開性があり、放熱性がすぐれているものが望ましく、Si基板以外にはSiC基板などが望ましい。

【0080】

Si基板19を貼りつけた後、LLO法によりサファイア基板1を除去する（図5（c）参照）。

【0081】

サファイア基板1除去後、露出されたn型GaN層2上に、n型電極9としてTi/AuをEB蒸着により形成する（図5（d）参照）。なお、図5（c）と（d）では図面の上下が入れ替わっている。n型電極9形成後、窒素雰囲気中 500°C でシンタを行う。

【0082】

シンタ後、素子分離部の一部のみが開口するようにレジストマスク10を形成し（図5（e）参照）、素子分離部の SiO_2 膜8およびAuメッキ下地6のTiをBHFで除去する。Ti除去後、ヨードを用いて、Auメッキ7のエッチングを行う。Auメッキ7の除去を行わないと、続く劈開工程でAuメッキが繋がったままの状態となることがあるため、Auメッキの除去を行う必要がある。続いてレジストマスク10を有機洗浄により除去する（図5（f）参照）。最後にSi基板19を $120\mu\text{m}$ 厚まで研磨し、その後、劈開することにより、青色LEDが作製される（図5（g）参照）。

【0083】

また、より歩留を向上させる方法として次のような製造方法がある。Auメッキ7の除去を行った後（図6（a）参照）、素子分離部のSi基板19に対してウェットエッチングを行うことにより、Si基板19に溝20を形成する（図6（b）参照）。このような溝20を形成することにより、劈開はこの部分に沿って生じるため、劈開位置ずれによる歩留低下を防止することができる。続いて、レジストマスク10を有機洗浄で除去する工程以降は上記と同様である。

【0084】

本実施の形態では、Auメッキ上にSi基板を張り合わせてあるため、LLO

後の薄膜窒化物半導体層に対する保持力が大きく、歩留向上が可能となる。また、作製されたデバイスがS i 基板上に形成されているため、実装の際にヒートシンクを取り付ける必要が無く、実装工程の簡素化が可能となる。

【0 0 8 5】

以上のような製造方法で、歩留良く青色LEDを作製することが可能となり、かつ実装工程の簡素化が可能となる。

【0 0 8 6】

【発明の効果】

本発明の半導体素子の製造方法によれば、半導体層の素子分離部をエッチングにより除去する工程、Auメッキを保持材として形成する工程、基板を除去する工程、半導体層上にパターニングを行い、Auメッキを半導体と接している面側からエッチングを行う工程とを含む製造方法により、歩留良く半導体素子を作製することが可能となる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 に係る化合物半導体素子の製造方法を表す断面図

【図 2】

本発明の実施の形態 2 に係る化合物半導体素子の製造方法を表す断面図

【図 3】

本発明の実施の形態 3 に係る化合物半導体素子の製造方法を表す断面図

【図 4】

本発明の実施の形態 4 に係る化合物半導体素子の製造方法を表す断面図

【図 5】

本発明の実施の形態 5 に係る化合物半導体素子の製造方法を表す断面図

【図 6】

本発明の実施の形態 5 に係る化合物半導体素子の製造方法を表す断面図

【図 7】

従来の化合物半導体素子の製造方法を表す断面図

【図 8】

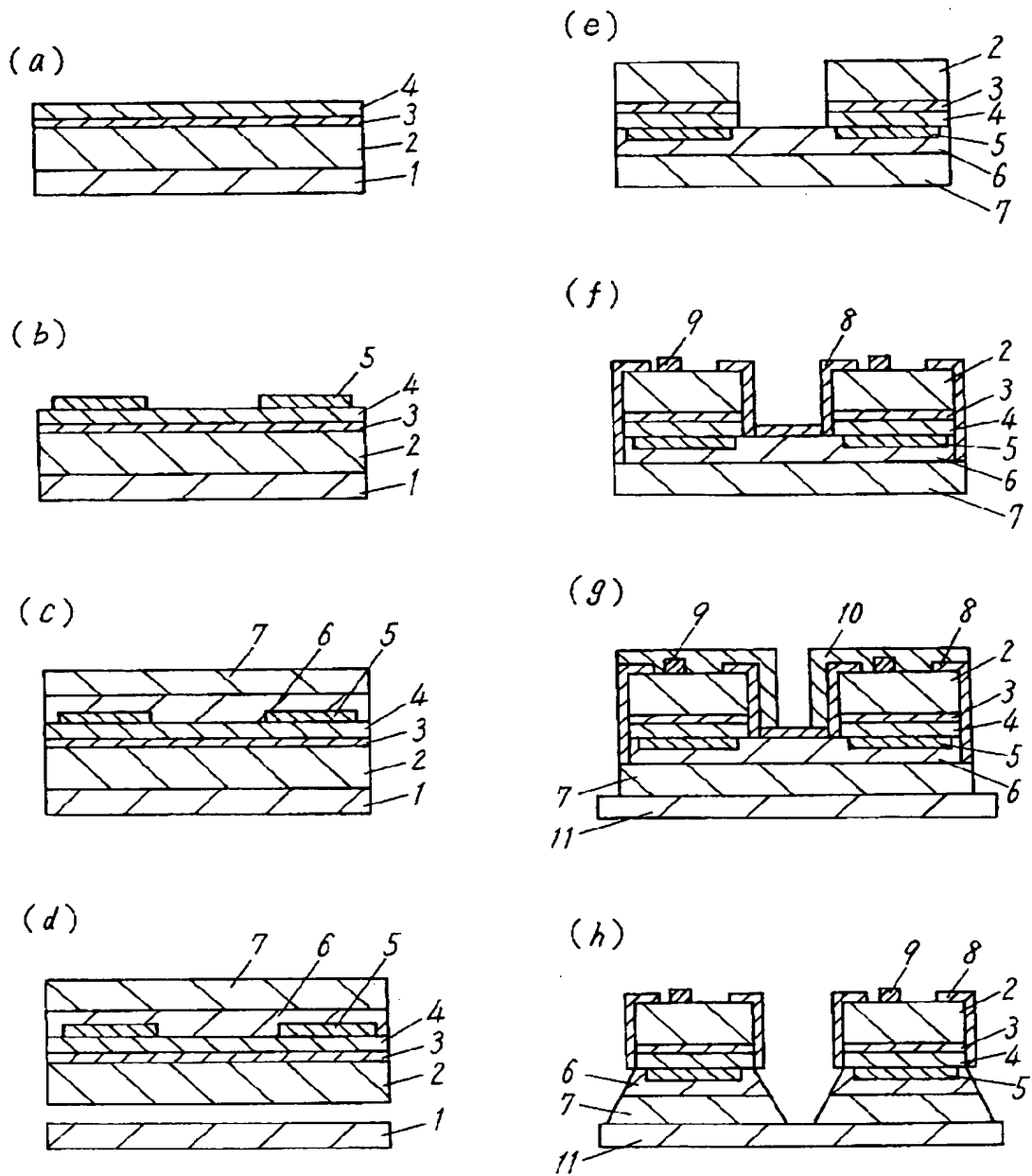
従来の化合物半導体素子の、別の製造方法を表す断面図

【符号の説明】

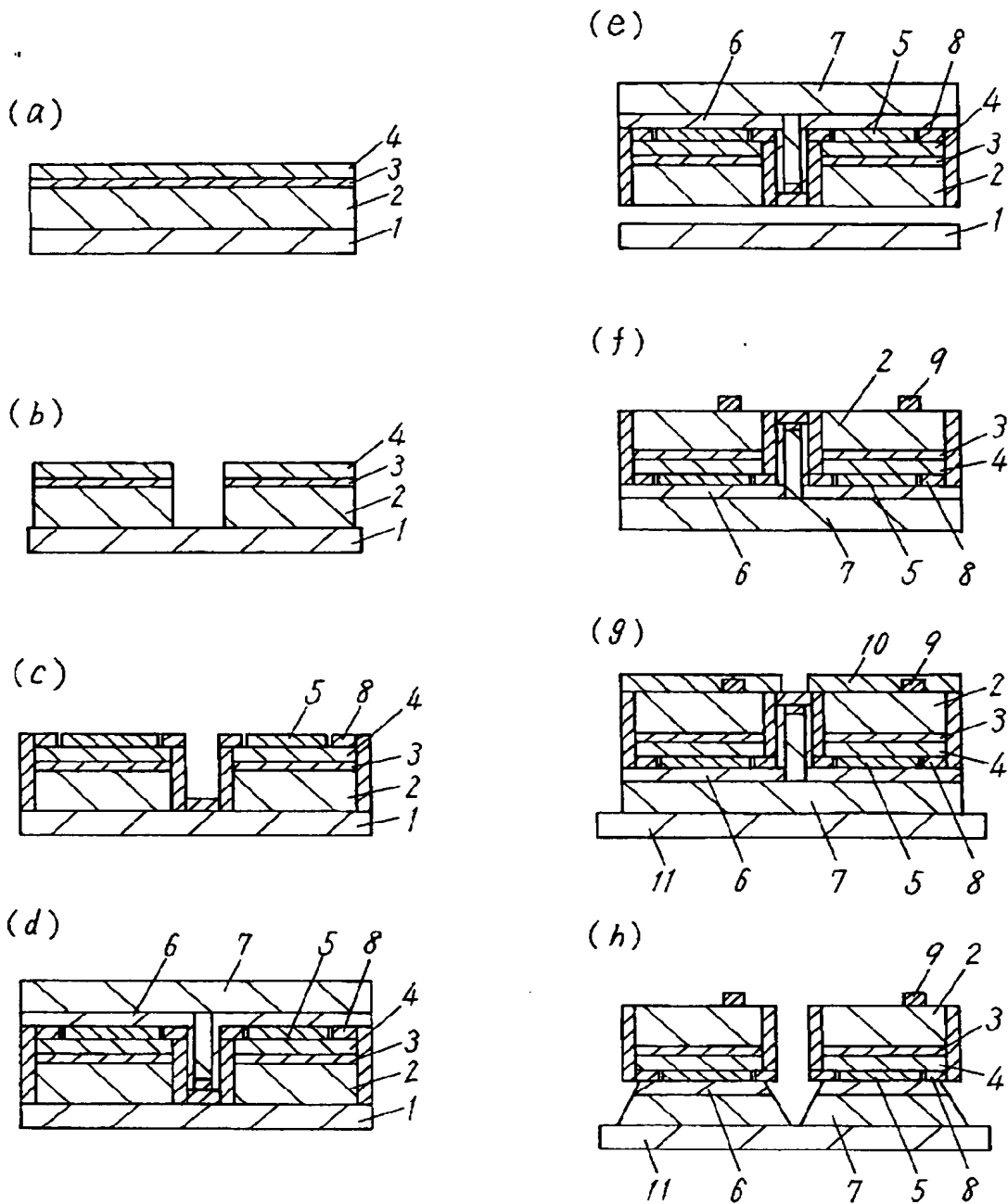
- 1 ・サファイア基板
- 2 n 型 G a N 層
- 2 a n 型層
- 3 I n G a N 活性層
- 4 p 型 G a N 層
- 4 a p 型層
- 5 p 型コンタクト電極
- 6 A u メッキ下地
- 7 A u メッキ
- 8 S i O₂ 膜
- 9 n 型電極
- 1 0 レジストマスク
- 1 1 シート
- 1 2、1 3 誘電体 D B R ミラー
- 1 4 n 型 G a N 層
- 1 5 アンドープ G a N 層
- 1 6 ソース電極
- 1 7 ドレイン電極
- 1 8 ゲート電極
- 1 9 S i 基板
- 2 0 溝

【書類名】 図面

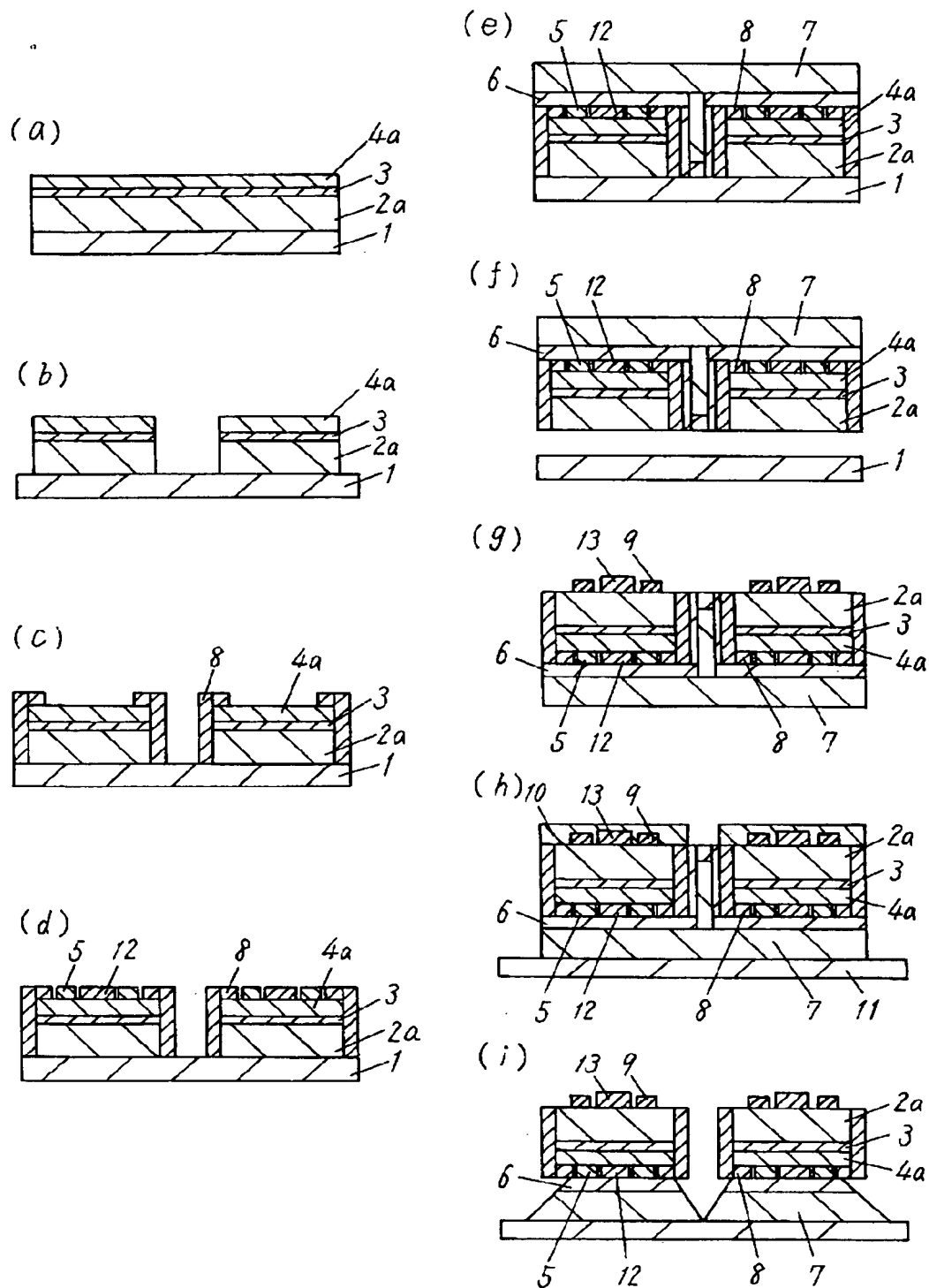
【図 1】



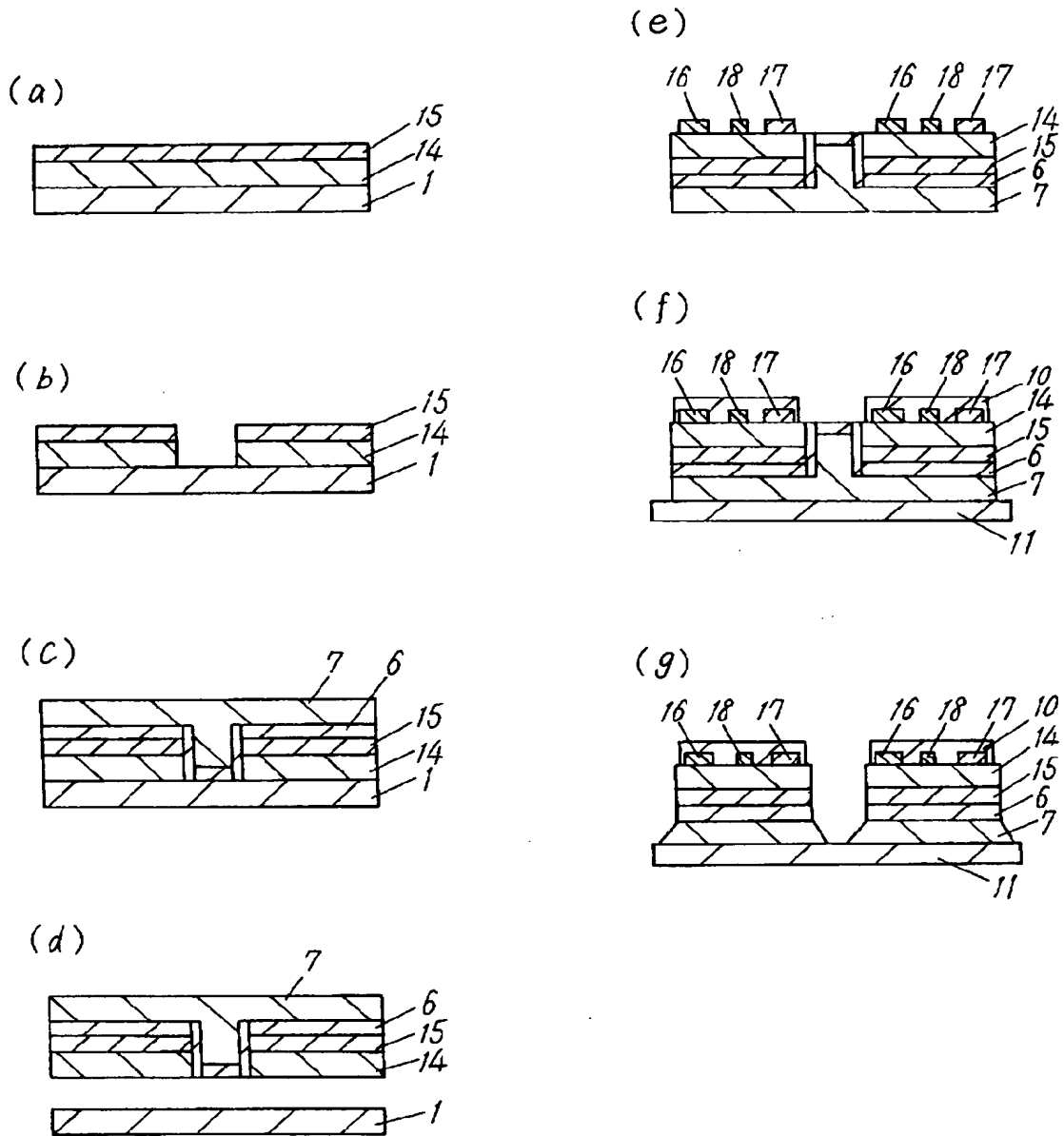
【図 2】



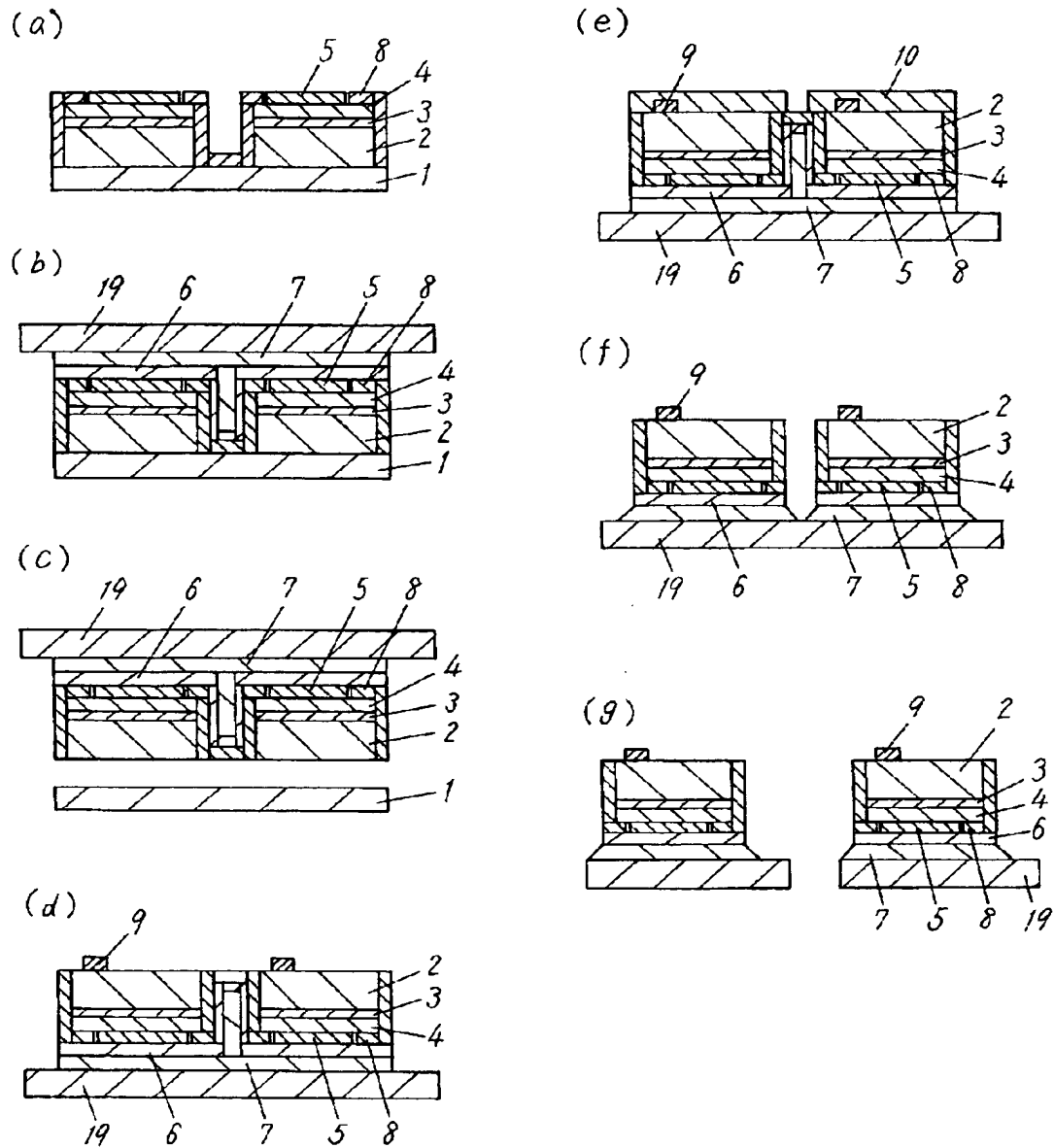
【図 3】



【図 4】

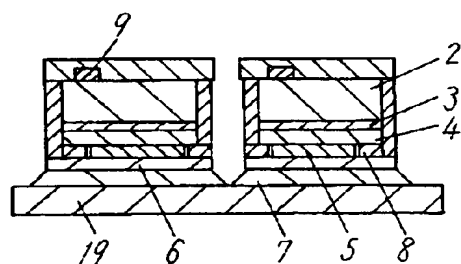


【図 5】

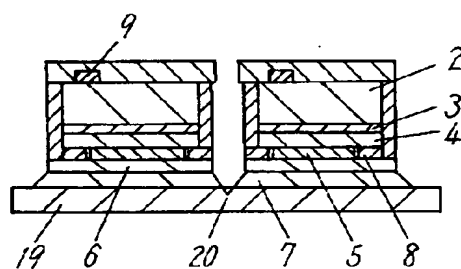


【図 6】

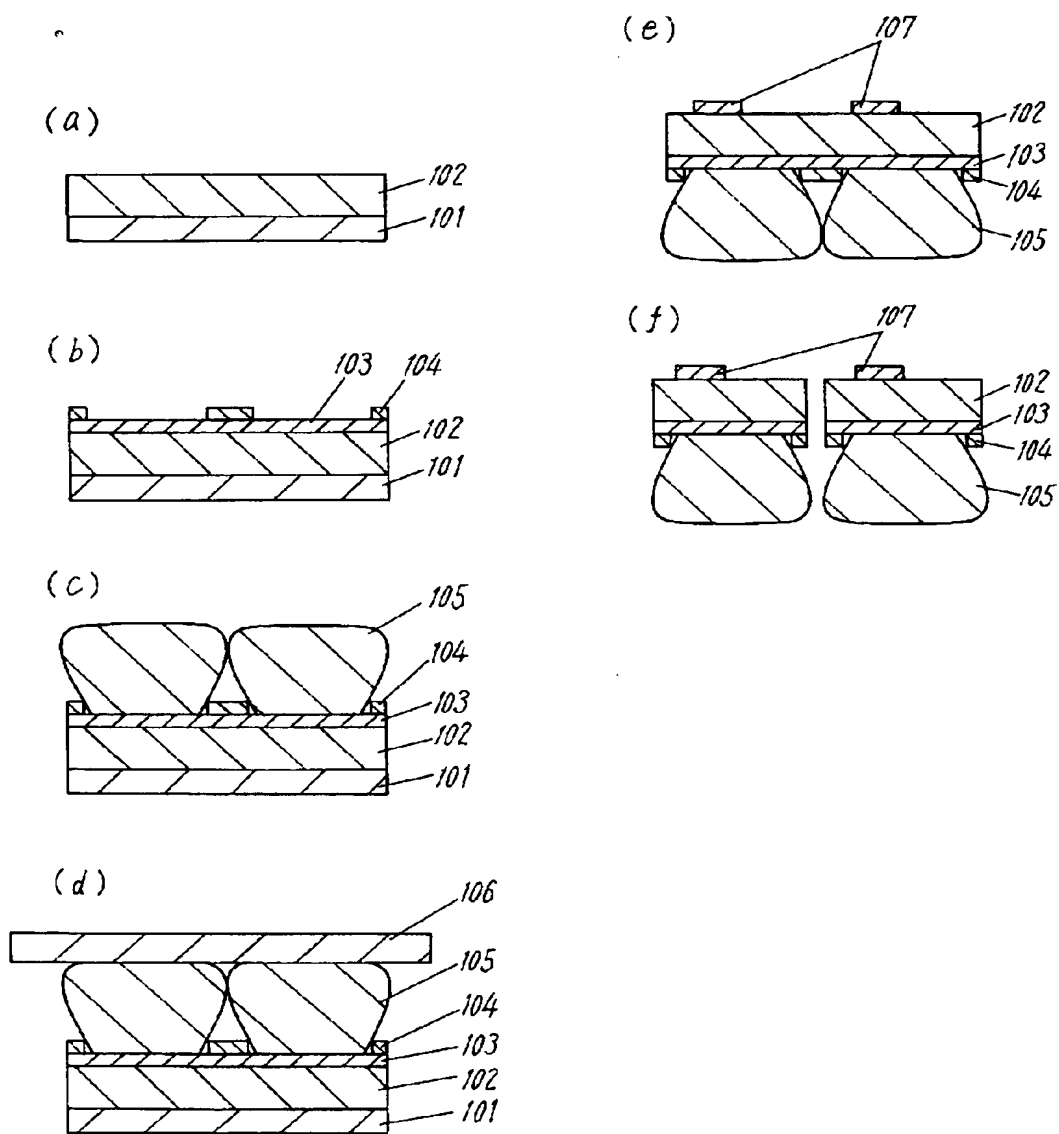
(a)



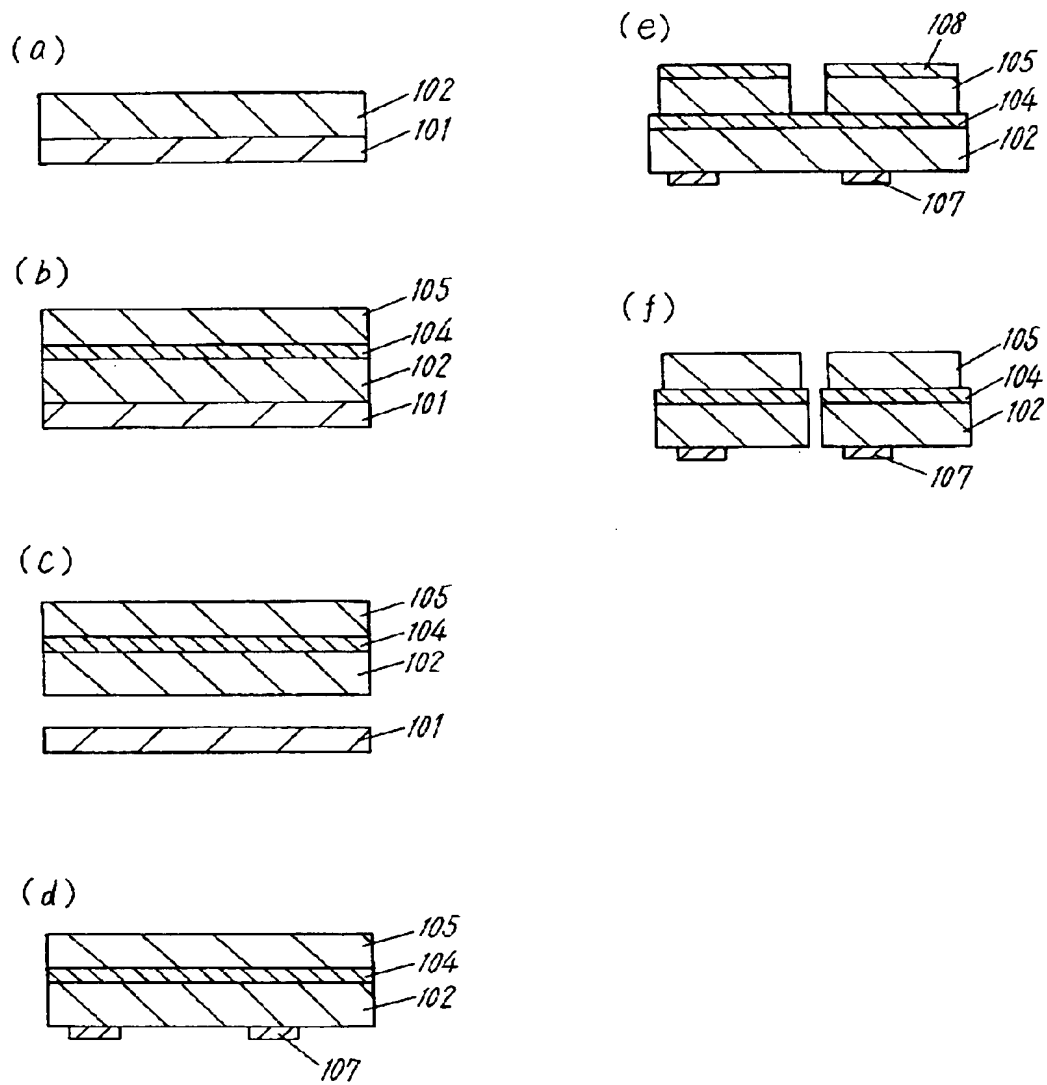
(b)



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 従来のレーザリフトオフ技術を用いた半導体デバイスプロセスでの歩留を向上させる。

【解決手段】 サファイア基板 1 上に、低温緩衝層、n 型 G a N 層 2、I n G a N 活性層 3、p 型 G a N 層 4 を成長する。その後、アニーリングを行い、最上層の p 型 G a N 層 4 を低抵抗化する。続いて、p 型 G a N 層 4 上に p 型コンタクト電極 5 を形成後、A u メッキ下地 6、1 0 ～ 1 5 0 μ m 程度の厚さを有する A u メッキ 7 を形成する。その後、裏面のサファイア基板 1 を除去し、n 型 G a N 層 2 上のチップ分離部の窒化物半導体層を除去する。その後、チップ分離部の一部のみ開口してシート 1 1 に貼りつけ、チップ分離を行う。

【選択図】 図 1

特願 2 0 0 3 - 1 4 4 4 8 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社